

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
9. September 2005 (09.09.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/083794 A2

(51) Internationale Patentklassifikation⁷: **H01L 29/78**,
29/10, 21/336, 21/266

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **KNAIPP, Martin**
[AT/AT]; Schwarzer Weg 49, A-8141 Unterpremstätten
(AT).

(21) Internationales Aktenzeichen: **PCT/EP2005/002112**

(22) Internationales Anmeldedatum:
28. Februar 2005 (28.02.2005)

(74) Anwalt: **EPPING HERMANN FISCHER PATENTAN-
WALTSGESELLSCHAFT MBH**; Ridlerstr. 55, 80339
München (DE).

(25) Einreichungssprache: **Deutsch**

(26) Veröffentlichungssprache: **Deutsch**

(30) Angaben zur Priorität:
10 2004 009 521.3
27. Februar 2004 (27.02.2004) **DE**

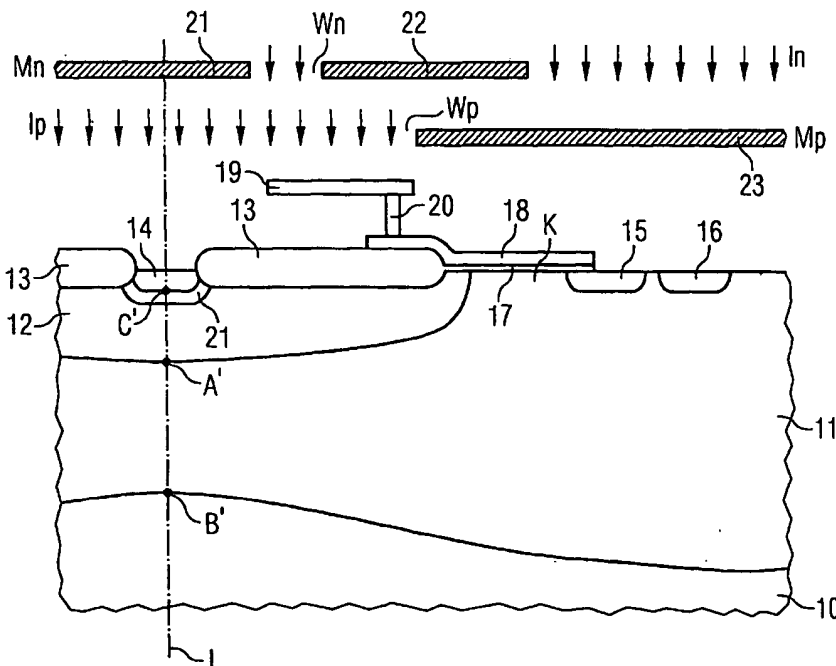
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ,
TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA,
ZM, ZW.

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **AUSTRIAMICROSYSTEMS AG** [AT/AT]; Schloss
Premstätten, A-8141 Unterpremstätten (AT).

[Fortsetzung auf der nächsten Seite]

(54) Title: **HIGH VOLTAGE PMOS TRANSISTOR**

(54) Bezeichnung: **HOCHVOLT-PMOS-TRANSISTOR**



(57) Abstract: The invention relates to a high-voltage PMOS transistor comprising an insulated gate electrode (18), a p-type source (15) in an n-type well (11), a p-type drain (14) in a p-type well (12), which is located in the n-type well, and a field oxide region (13) between the gate electrode and drain. The depth (A'-B') of the n-type well below the drain (14) is less than its depth below the source (15) and the greatest depth (A'-C') of the p-type well lies below the drain (14).

[Fortsetzung auf der nächsten Seite]

WO 2005/083794 A2



(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Bei einem Hochvolt-PMOS-Transistor mit einer isolierten Gate-Elektrode (18), einer p-leitenden Source (15) in einer n-leitenden Wanne (11), einem p-leitenden Drain (14) in einer p-leitenden Wanne (12), die in der n-Wanne angeordnet ist, und mit einem Feldoxidbereich (13) zwischen Gate-Elektrode und Drain, ist die Tiefe (A'-B') der n-leitenden Wanne unterhalb der Drain (14) geringer ist als unterhalb der Source (15) und die Tiefe (A'-C') der p-leitenden Wanne unterhalb der Drain (14) am grössten.